

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163772

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

H03F 3/60  
H03F 3/68

(21)Application number : 09-231984

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 28.08.1997

(72)Inventor : UDA NAONORI  
OKAMOTO SHIGEYUKI

(30)Priority

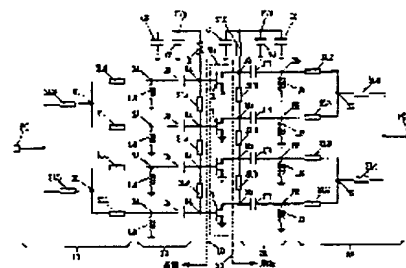
Priority number : 08264498 Priority date : 04.10.1996 Priority country : JP

## (54) POWER AMPLIFIER AND CHIP CARRIER

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce a loss owing to the application of DC bias, to prevent disconnection and to facilitate the design and the adjustment of a matching circuit by giving DC bias to the output side electrodes of respective transistors without passing through a synthesizer and the like.

SOLUTION: Gate bias is applied to the gates of respective FET 1 through a resistor R and a first line SLA by a power source for gate bias Vg. Drain bias is applied to the drains of respective FET 1 through a  $\lambda/4$  line SLO and a second line SLB by a power source for drain bias Vd. RF signals inputted to the gates of respective FET 1 and gate bias are separated and the RF signals outputted from the drains of respective FET 1 and drain bias applied to the drains of respective FET 1 are separated. Since drain bias is applied to the drains of respective FET 1 without passing through the synthesizer 22 and the matching circuit 21, a voltage drop by drain current is small and the loss becomes small.



## LEGAL STATUS

[Date of request for examination]

08.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163772

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.<sup>8</sup>

H 0 3 F 3/60

3/68

識別記号

F I

H 0 3 F 3/60

3/68

B

審査請求 未請求 請求項の数11 O L (全 18 頁)

(21) 出願番号 特願平9-231984

(22) 出願日 平成9年(1997) 8月28日

(31) 優先権主張番号 特願平8-264498

(32) 優先日 平8(1996)10月4日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 宇田 尚典

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 岡本 重之

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

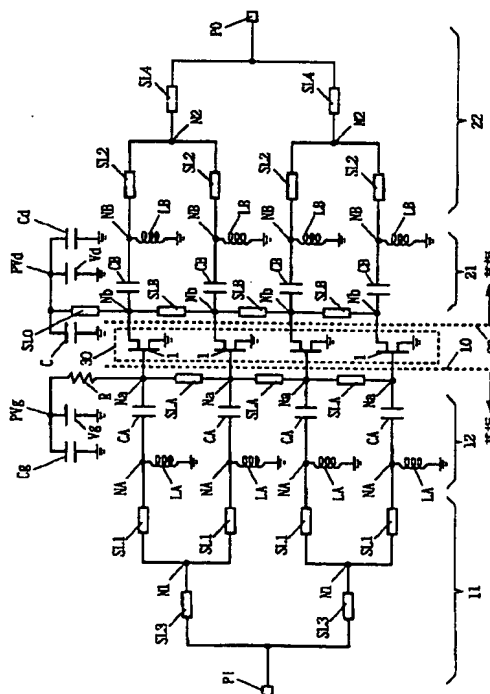
(74) 代理人 弁理士 福島 祥人

(54) 【発明の名称】 電力増幅器およびチップキャリア

(57) 【要約】

【課題】 直流バイアスの印加による損失が低減され、かつ断線が防止されるとともに、整合回路の設計および調整が容易で、複数のトランジスタの容量のばらつきによる低周波発振が防止された電力増幅器を提供することである。

【解決手段】 複数のFET 1のゲートは第1の線路SLAにより相互に接続され、ドレインは第2の線路SLBにより相互に接続される。各FET 1のゲートには第1の線路SLAを介してゲートバイアスが印加され、各FET 1のドレインに第2の線路SLBを介してドレインバイアスが印加される。整合回路12は、信号経路に接続されたキャパシタCAおよびそのキャパシタCAと接地電位との間に接続されたインダクタLAにより構成される。整合回路21は、信号経路に接続されたキャパシタCBおよびそのキャパシタCBと接地電位との間に接続されたインダクタLBにより構成される。



**【特許請求の範囲】**

**【請求項1】** 入力側電極、出力側電極および接地側電極をそれぞれ有する複数のトランジスタと、  
入力される交流信号を前記複数のトランジスタの入力側電極にそれぞれ分配する分配器と、

前記複数のトランジスタの各々と前記分配器との間のインピーダンス整合を行う第1の整合回路と、

前記複数のトランジスタの出力側電極から出力される交流信号を合成する合成器と、

前記複数のトランジスタの各々と前記合成器との間のインピーダンス整合を行う第2の整合回路と、

前記合成器と別個に設けられ、前記複数のトランジスタの出力側電極間を相互に接続する線路と、

直流バイアスを受け、前記直流バイアスを前記合成器および前記第2の整合回路を介さずに前記線路を介して前記複数のトランジスタの出力側電極に印加する直流バイアス入力部とを備えたことを特徴とする電力増幅器。

**【請求項2】** 入力側電極、出力側電極および接地側電極をそれぞれ有する複数のトランジスタと、

入力される交流信号を前記複数のトランジスタの入力側電極にそれぞれ分配する分配器と、

前記複数のトランジスタの各々と前記分配器との間のインピーダンス整合を行う第1の整合回路と、

前記複数のトランジスタの出力側電極から出力される交流信号を合成する合成器と、

前記複数のトランジスタの各々と前記合成器との間のインピーダンス整合を行う第2の整合回路と、

前記分配器と別個に設けられ、前記複数のトランジスタの入力側電極間を相互に接続する線路と、

直流バイアスを受け、前記直流バイアスを前記分配器および前記第1の整合回路を介さずに前記線路を介して前記複数のトランジスタの入力側電極に印加する直流バイアス入力部とを備えたことを特徴とする電力増幅器。

**【請求項3】** 入力側電極、出力側電極および接地側電極をそれぞれ有する複数のトランジスタと、

入力される交流信号を前記複数のトランジスタの入力側電極にそれぞれ分配する分配器と、

前記複数のトランジスタの各々と前記分配器との間のインピーダンス整合を行う第1の整合回路と、

前記複数のトランジスタの出力側電極から出力される交流信号を合成する合成器と、

前記複数のトランジスタの各々と前記合成器との間のインピーダンス整合を行う第2の整合回路と、

前記分配器と別個に設けられ、前記複数のトランジスタの入力側電極間を相互に接続する第1の線路と、

前記合成器と別個に設けられ、前記複数のトランジスタの出力側電極間を相互に接続する第2の線路と、

第1の直流バイアスを受け、前記第1の直流バイアスを前記分配器および前記第1の整合回路を介さずに前記第1の線路を介して前記複数のトランジスタの入力側電極

に印加する第1の直流バイアス入力部と、

第2の直流バイアスを受け、前記第2の直流バイアスを前記合成器および前記第2の整合回路を介さずに前記第2の線路を介して前記複数のトランジスタの出力側電極に印加する第2の直流バイアス入力部とを備えたことを特徴とする電力増幅器。

**【請求項4】** 前記第2の整合回路は、前記複数のトランジスタの出力側電極と前記合成器との間にそれぞれ接続される複数のキャパシタ、および前記合成器と前記複数のキャパシタとの接続点と接地電位との間にそれぞれ接続される複数のインダクタを含むことを特徴とする請求項1または3記載の電力増幅器。

**【請求項5】** 前記第1の整合回路は、前記分配器と前記複数のトランジスタの入力側電極との間にそれぞれ接続される複数のキャパシタ、および前記分配器と前記複数のキャパシタとの接続点と接地電位との間にそれぞれ接続される複数のインダクタを含むことを特徴とする請求項2または3記載の電力増幅器。

**【請求項6】** 前記第2の整合回路は、前記複数のトランジスタの出力側電力と、前記合成器との間にそれぞれ接続される複数の第1のキャパシタ、前記複数の第1のキャパシタの一端と接地電位との間にそれぞれ接続される複数の第2のキャパシタ、および前記複数の第1のキャパシタの他端と接地電位との間にそれぞれ接続される複数のインダクタを含むことを特徴とする請求項1または3記載の電力増幅器。

**【請求項7】** 前記第1の整合回路は、前記分配器と前記複数のトランジスタの入力側電極との間にそれぞれ接続される複数の第1のキャパシタ、前記複数の第1のキャパシタの一端と接地電位との間にそれぞれ接続される複数のインダクタ、および前記複数の第1のキャパシタの他端と接地電位との間にそれぞれ接続される複数の第2のキャパシタを含むことを特徴とする請求項2または3記載の電力増幅器。

**【請求項8】** 前記直流バイアス入力部は、隣接する各2つのトランジスタの出力側電極間に接続される前記線路の midpoint に接続されることを特徴とする請求項1記載の電力増幅器。

**【請求項9】** 前記直流バイアス入力部は、隣接する各2つのトランジスタの入力側電極間に接続される前記線路の midpoint に接続されることを特徴とする請求項2記載の電力増幅器。

**【請求項10】** 前記第1の直流バイアス入力部は、隣接する各2つのトランジスタの入力側電極間に接続される前記第1の線路の midpoint に接続され、前記第2の直流バイアス入力部は、隣接する各2つのトランジスタの出力側電極間に接続される前記第2の線路の midpoint に接続されたことを特徴とする請求項3記載の電力増幅器。

**【請求項11】** 複数のトランジスタのチップが取り付けられるチップキャリアにおいて、基板上に、前記複数の

のトランジスタの入力側電極が共通に接続される第1の線路と、前記複数のトランジスタの出力側電極が共通に接続される第2の線路と、前記複数のトランジスタの接地側電極が共通に接続される接地導体とが形成されたことを特徴とするチップキャリア。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、複数のトランジスタを用いた電力増幅器および複数のトランジスタチップが取り付けられるチップキャリアに関する。

##### 【0002】

【従来の技術】例えば、マイクロ波通信システムの送受信装置には、複数のトランジスタを用いた電力増幅器が用いられる。図21は複数のMESFET（金属-半導体電界効果トランジスタ；以下、FETと略記する）を用いた従来の電力増幅器の一例を示す回路図である。

【0003】図21の電力増幅器は、4個のFET1、分配器41、第1の整合回路42、第2の整合回路51および合成器52を含む。

【0004】4個のFET1のチップはチップキャリア60に取り付けられている。基板40には、複数の $\lambda/8$ 線路SL1、SL3、複数のキャパシタCA、C1および抵抗Rが設けられている。基板50には、複数の $\lambda/8$ 線路SL2、SL4、SL7および複数のキャパシタCB、C2が設けられている。

【0005】基板40上の入力パッドPIはキャパシタC1を介してノードNIに接続され、ノードNIとゲートバイアス用パッドPVgとの間には抵抗Rが接続されている。ゲートバイアス用パッドPVgには、ゲートバイアス用電源Vgおよび電源電圧の安定化のためのキャパシタCgが接続される。

【0006】ノードNIは2つの $\lambda/8$ 線路SL3を介して2つのノードN1に接続されている。各ノードN1は2つの $\lambda/8$ 線路SL1を介して2つのパッドPAに接続されている。各パッドPAはキャパシタCAを介して接地されている。また、各パッドPAは、ボンディングワイヤBWAを介してFET1のゲートに接続される。

【0007】一方、基板50上の出力パッドPOはキャパシタC2を介してノードNOに接続され、ノードNOは $\lambda/4$ 線路SL7を介してドレインバイアス用パッドPVdに接続されている。ドレインバイアス用パッドPVdには、ドレインバイアス用電源Vdが接続されるとともに $\lambda/4$ 線路SL7の終端および電源電圧の安定化のためのキャパシタCdが接続される。

【0008】ノードNOは2つの $\lambda/8$ 線路SL4を介して2つのノードN2に接続されている。各ノードN2は2つの $\lambda/8$ 線路SL2を介して2つのパッドPBに接続されている。各パッドPBはキャパシタCBを介して接地されている。また、各パッドPBは、ボンディン

グワイヤBWBを介してFET1のドレインに接続される。

【0009】基板40上の $\lambda/8$ 線路SL3、SL1が分配器41を構成し、キャパシタCAおよびボンディングワイヤBWAが整合回路（マッチング回路）42を構成する。また、ボンディングワイヤBWBおよびキャパシタCBが整合回路51を構成し、基板50上の $\lambda/8$ 線路SL2、SL4が合成器52を構成する。

【0010】各FET1のゲートには、ゲートバイアス用電源Vgにより分配器41の $\lambda/8$ 線路SL3、SL1およびボンディングワイヤBWAを通してゲートバイアスが印加される。また、各FET1のドレインには、ドレインバイアス用電源Vdにより合成器52の $\lambda/8$ 線路SL4、SL2およびボンディングワイヤBWBを通してドレインバイアスが印加される。

【0011】入力パッドPIに与えられるRF信号（高周波信号）が、分配器41により分配されて4個のFET1のゲートに与えられ、各FET1により増幅されたRF信号がドレインから出力される。4個のFET1のドレインから出力されるRF信号は、合成器52により合成されて出力パッドPOから出力される。整合回路42は分配器41と各FET1とのインピーダンス整合を行い、整合回路51は各FET1と合成器52とのインピーダンス整合を行う。

##### 【0012】

【発明が解決しようとする課題】上記の従来の電力増幅器においては、ドレインバイアスが合成器52の各 $\lambda/8$ 線路SL4、SL2およびボンディングワイヤBWBを介して複数のFET1のドレインに印加される。この場合、 $\lambda/8$ 線路SL4、SL2は抵抗成分を有するため、ドレイン電流による電圧降下が発生し、損失が大きくなる。

【0013】また、ボンディングワイヤBWBは整合回路51を構成しているので、任意に本数を増やすことができない。そのため、ボンディングワイヤBWBに過電流が流れると、断線が生じるおそれがある。また、ボンディングワイヤBWBによるインダクタ（ワイヤインダクタ）の値を任意に調整することは容易でないので、整合回路51の設計および調整は容易ではない。さらに、複数のFET1のゲート容量がばらつくとも低周波発振が起こりやすいという問題がある。

【0014】本発明の目的は、直流バイアスの印加による損失が低減され、かつ断線が防止されるとともに、整合回路の設計および調整が容易な電力増幅器およびそれに用いられるチップキャリアを提供することである。

【0015】本発明の他の目的は、複数のトランジスタの容量のばらつきによる低周波発振が防止された電力増幅器およびそれに用いられるチップキャリアを提供することである。

【0016】本発明のさらに他の目的は、複数のトラン

ジスタの容量のばらつきによる低周波発振が防止され、かつ高周波発振を抑制可能な電力増幅器を提供することである。

#### 【0017】

【課題を解決するための手段および発明の効果】第1の発明に係る電力増幅器は、入力側電極、出力側電極および接地側電極をそれぞれ有する複数のトランジスタと、入力される交流信号を複数のトランジスタの入力側電極にそれぞれ分配する分配器と、複数のトランジスタの各々と分配器との間のインピーダンス整合を行う第1の整合回路と、複数のトランジスタの出力側電極から出力される交流信号を合成する合成器と、複数のトランジスタの各々と合成器との間のインピーダンス整合を行う第2の整合回路と、合成器と別個に設けられて複数のトランジスタの出力側電極間を相互に接続する線路と、直流バイアスを受けてその直流バイアスを合成器および第2の整合回路を介さずに線路を介して複数のトランジスタの出力側電極に印加する直流バイアス入力部とを備える。

【0018】入力側電極はゲート電極またはベース電極であり、出力側電極はドレイン電極またはコレクタ電極であり、接地側電極はソース電極またはエミッタ電極であってもよい。

【0019】第1の発明に係る電力増幅器においては、入力される交流信号が分配器により分配されて複数のトランジスタの入力側電極に与えられ、各トランジスタにより増幅されて出力側電極から出力される。複数のトランジスタの出力側電極から出力される交流信号は、合成器により合成されて出力される。

【0020】特に、複数のトランジスタの出力側電極は線路により相互に接続され、直流バイアス入力部から入力される直流バイアスが線路を通して各トランジスタの出力側電極に印加される。これにより、各トランジスタの出力側電極から出力される交流信号と各トランジスタの出力側電極に印加される直流バイアスとが分離される。

【0021】このように、直流バイアスが合成器および整合回路を経由することなく各トランジスタの出力側電極に与えられるので、直流電流による電圧降下が小さく、損失が小さくなる。

【0022】また、第2の整合回路の信号経路に直流電流が流れないので、第2の整合回路の信号経路にキャパシタを挿入することができる。この場合、信号経路に挿入されたキャパシタと接地電位との間にインダクタを接続することにより第2の整合回路を構成することができる。それにより、インピーダンス整合に各トランジスタの出力側電極と第2の整合回路との間に接続されるワイヤインダクタを利用する必要がなくなる。したがって、ワイヤインダクタの本数を任意に調整することが可能となり、過電流による断線を防止することができる。

【0023】さらに、第2の整合回路のインピーダンス

をキャパシタの容量により調整することができるので、第2の整合回路の設計および調整が容易になる。

【0024】第2の発明に係る電力増幅器は、入力側電極、出力側電極および接地側電極をそれぞれ有する複数のトランジスタと、入力される交流信号を複数のトランジスタの入力側電極にそれぞれ分配する分配器と、複数のトランジスタの各々と分配器との間のインピーダンス整合を行う第1の整合回路と、複数のトランジスタの出力側電極から出力される交流信号を合成する合成器と、複数のトランジスタの各々と合成器との間のインピーダンス整合を行う第2の整合回路と、分配器と別個に設けられて複数のトランジスタの入力側電極間を相互に接続する線路と、直流バイアスを受けてその直流バイアスを分配器および第1の整合回路を介さずに線路を介して複数のトランジスタの入力側電極に印加する直流バイアス入力部とを備える。

【0025】第2の発明に係る電力増幅器においては、入力される交流信号が分配器により分配されて複数のトランジスタの入力側電極に与えられ、各トランジスタにより増幅されて出力側電極から出力される。複数のトランジスタの出力側電極から出力される交流信号は、合成器により合成されて出力される。

【0026】特に、複数のトランジスタの入力側電極は線路により相互に接続され、直流バイアス入力部から入力される直流バイアスが線路を通して各トランジスタの入力側電極に印加される。これにより、各トランジスタの入力側電極に入力される交流信号と各トランジスタの入力側電極に印加される直流バイアスとが分離される。

【0027】このように、第1の整合回路の信号経路に直流電流が流れないので、第1の整合回路の信号経路にキャパシタを挿入することができる。この場合、信号経路に挿入されたキャパシタと接地電位との間にインダクタを接続することにより第2の整合回路を構成することができる。それにより、各トランジスタの入力側電極に第1の整合回路のキャパシタとトランジスタの容量とが並列に接続されることとなるので、入力側電極から見た容量値が大きくなる。その結果、複数のトランジスタの容量値のばらつきが緩和され、低周波発振が防止される。

【0028】また、第1の整合回路のインピーダンスをキャパシタの容量により調整することができるので、第1の整合回路の設計および調整が容易になる。

【0029】第3の発明に係る電力増幅器は、入力側電極、出力側電極および接地側電極をそれぞれ有する複数のトランジスタと、入力される交流信号を複数のトランジスタの入力側電極にそれぞれ分配する分配器と、複数のトランジスタの各々と分配器との間のインピーダンス整合を行う第1の整合回路と、複数のトランジスタの出力側電極から出力される交流信号を合成する合成器と、複数のトランジスタの各々と合成器との間のインピーダ

ンス整合を行う第2の整合回路と、分配器と別個に設けられて複数のトランジスタの入力側電極間を相互に接続する第1の線路と、合成器と別個に設けられて複数のトランジスタの出力側電極間を相互に接続する第2の線路と、第1の直流バイアスを受けてその第1の直流バイアスを分配器および第1の整合回路を介さずに第1の線路を介して複数のトランジスタの入力側電極に印加する第1の直流バイアス入力部と、第2の直流バイアスを受けてその第2の直流バイアスを合成器および第2の整合回路を介さずに第2の線路を介して複数のトランジスタの出力側電極に印加する第2の直流バイアス入力部とを備える。

【0030】第3の発明に係る電力増幅器においては、複数のトランジスタの入力側電極が第1の線路により相互に接続され、第1の直流バイアス入力部から入力される直流バイアスが第1の線路を通して各トランジスタの入力側電極に印加される。また、複数のトランジスタの出力側電極が第2の線路により相互に接続され、第2の直流バイアス入力部から入力される直流バイアスが第2の線路を通して各トランジスタの出力側電極に印加される。これにより、各トランジスタの入力側電極に入力される交流信号と各トランジスタの入力側電極に印加される直流バイアスとが分離され、かつ各トランジスタの出力側電極から出力される交流信号と各トランジスタの出力側電極に印加される直流バイアスとが分離される。

【0031】このように、第1および第2の整合回路の信号経路に直流電流が流れないので、第1および第2の整合回路の信号経路にそれぞれキャパシタを挿入することができる。この場合、信号経路に挿入したキャパシタと接地電位との間のインダクタを接続することにより第1および第2の整合回路をそれぞれ構成することができる。それにより、各トランジスタの入力側電極から見た容量値が大きくなり、複数のトランジスタの容量値のばらつきが緩和される。その結果、トランジスタの低周波発振が防止される。また、インピーダンス整合に各トランジスタの出力側電極と第2の整合回路との間に接続されるワイヤインダクタを利用する必要があるため、ワイヤインダクタの本数を任意に調整することが可能となる。その結果、過電流による断線を防止することができる。

【0032】さらに、第1および第2の整合回路のインピーダンスをキャパシタの容量により調整することができるので、第1および第2の整合回路の設計および調整が容易になる。

【0033】第1および第3の発明に係る電力増幅器において、第2の整合回路が、複数のトランジスタの出力側電極と合成器との間にそれぞれ接続される複数のキャパシタ、および合成器と複数のキャパシタとの接続点と接地電位との間にそれぞれ接続される複数のインダクタを含んでもよい。

【0034】この場合、インピーダンス整合に各トランジスタの出力側電極と整合回路との間に接続されるワイヤインダクタを利用する必要があるため、ワイヤインダクタの本数を任意に調整することにより、過電流による断線を防止することができる。また、第2の整合回路のインピーダンスをキャパシタの容量により調整することができるので、第2の整合回路の設計および調整が容易になる。

【0035】第2または第3の発明に係る電力増幅器において、第1の整合回路が、分配器と複数のトランジスタの入力側電極との間にそれぞれ接続される複数のキャパシタ、および分配器と複数のキャパシタとの接続点と接地電位との間にそれぞれ接続される複数のインダクタを含んでもよい。

【0036】この場合、各トランジスタの入力側電極から見た容量値が大きくなるので、複数のトランジスタの容量値のばらつきが緩和される。それにより、トランジスタの低周波発振が防止される。また、第1の整合回路のインピーダンスをキャパシタの容量により調整することができるので、第1の整合回路の設計および調整が容易になる。

【0037】第1および第3の発明に係る電力増幅器において、第2の整合回路が、複数のトランジスタの出力側電極と合成器との間にそれぞれ接続される複数の第1のキャパシタ、複数の第1のキャパシタの一端と接地電位との間にそれぞれ接続される複数の第2のキャパシタ、および複数の第1のキャパシタの他端と接地電位との間にそれぞれ接続される複数のインダクタを含んでもよい。

【0038】この場合、インピーダンス整合に各トランジスタの出力側電極と整合回路との間に接続されるワイヤインダクタを利用する必要があるため、ワイヤインダクタの本数を任意に調整することにより、過電流による断線を防止することができる。また、第2の整合回路のインピーダンスを第1および第2のキャパシタの容量により調整することができるので、第2の整合回路の設計および調整が容易になる。この場合、同じ増幅器特性を得ることのできる回路定数の組み合わせが複数種類あるので、設計の自由度が増す。

【0039】第2または第3の発明に係る電力増幅器において、第1の整合回路が、分配器と複数のトランジスタの入力側電極との間にそれぞれ接続される複数の第1のキャパシタ、複数の第1のキャパシタの一端と接地電位との間にそれぞれ接続される複数のインダクタ、および複数の第1のキャパシタの他端と接地電位との間にそれぞれ接続される複数の第2のキャパシタを含んでもよい。

【0040】この場合、各トランジスタの入力側電極から見た容量値が大きくなるので、複数のトランジスタの容量値のばらつきが緩和される。それにより、トランジ

スタの低周波発振が防止される。また、この第1の整合回路は帯域通過型の整合回路であるので、高周波発振も抑制し易いという利点を有する。さらに、第1の整合回路のインピーダンスを第1および第2のキャパシタの容量により調整することができるので、第1の整合回路の設計および調整が容易になる。この場合、同じ増幅器特性を得ることのできる回路定数の組み合わせが複数種類あるので、設計の自由度が増す。

【0041】第1の発明に係る電力増幅器において、直流バイアス入力部が、隣接する各2つのトランジスタの出力側電極間に接続される線路の midpoint に接続されてもよい。

【0042】この場合、隣接する各2つのトランジスタの出力側電極への直流バイアスの供給経路が対称性を有するので、複数のトランジスタの各々が等しいバイアス条件で動作する。それにより、電力増幅器の高周波特性が向上する。

【0043】第2の発明に係る電力増幅器において、直流バイアス入力部が、隣接する各2つのトランジスタの入力側電極間に接続される線路の midpoint に接続されてもよい。

【0044】この場合、隣接する各2つのトランジスタの入力側電極への直流バイアスの供給経路が対称性を有するので、複数のトランジスタの各々が等しいバイアス条件で動作する。それにより、電力増幅器の高周波特性が向上する。

【0045】第3の発明に係る電力増幅器において、第1の直流バイアス入力部が、隣接する各2つのトランジスタの入力側電極間に接続される第1の線路の midpoint に接続され、第2の直流バイアス入力部が、隣接する各2つのトランジスタの出力側電極間に接続される第2の線路の midpoint に接続されてもよい。

【0046】この場合、隣接する各2つのトランジスタの入力側電極への直流バイアスの供給経路および隣接する各2つのトランジスタの出力側電極への直流バイアスの供給経路が対称性を有するので、複数のトランジスタの各々が等しいバイアス条件で動作する。それにより、電力増幅器の高周波特性が向上する。

【0047】第4の発明に係るチップキャリアは、複数のトランジスタのチップが取り付けられるチップキャリアにおいて、基板上に、複数のトランジスタの入力側電極が共通に接続される第1の線路と、複数のトランジスタの出力側電極が共通に接続される第2の線路と、複数のトランジスタの接地側電極が共通に接続される接地導体とが形成されたものである。

【0048】第4の発明に係るチップキャリアにおいては、複数のトランジスタの入力側電極を第1の線路に共通に接続し、出力側電極を第2の線路に共通に接続し、接地側電極を接地導体に共通に接続することができる。これにより、チップキャリアの第1の線路を介して複数

のトランジスタの入力側電極に直流バイアスを印加することができ、第2の線路を介して複数のトランジスタの出力側電極に直流バイアスを印加することができる。

【0049】したがって、このチップキャリアを複数のトランジスタからなる電力増幅器に用いると、分配器および整合回路を経由することなく各トランジスタの入力側電極に直流バイアスを印加することができ、かつ合成器および整合回路を経由することなく各トランジスタの出力側電極に直流バイアスを印加することができる。

【0050】その結果、直流電流による電圧降下が小さくなり、損失が小さくなる。また、整合回路の信号経路にインダクタを挿入することができるので、複数のトランジスタの特性のばらつきによる低周波発振が防止されるとともに、過電流による断線が防止され、かつ整合回路の設計および調整が容易になる。

【0051】

【発明の実施の形態】図1は本発明の第1の実施例における電力増幅器の構成を示す回路図である。また、図2は図1の電力増幅器のレイアウトパターンを示す図である。

【0052】図1の電力増幅器は、4個のFET1、分配器11、整合回路12、整合回路21および合成器22を含む。4個のFET1のチップはチップキャリア30上に取り付けられている。基板10上には、複数の $\lambda/8$ 線路SL1、SL3、複数のキャパシタCA、複数のインダクタLA、抵抗Rおよび第1の線路SLAが設けられている。基板20上には、複数の $\lambda/8$ 線路SL2、SL4、複数のキャパシタCB、C、複数のインダクタLB、 $\lambda/4$ 線路SL0および第2の線路SLBが設けられている。

【0053】基板10上の入力パッドPIは2つの $\lambda/8$ 線路SL3を介して2つのノードN1に接続されている。各ノードN1は2つの $\lambda/8$ 線路SL1を介して2つのノードNAに接続されている。各ノードNAはインダクタLAを介して接地されるとともに、キャパシタCAを介してノードNaに接続されている。各ノードNaはボンディングワイヤを介してFET1のゲートに接続される。また、4つのノードNaは第1の線路SLAを介して相互に接続されている。

【0054】第1の線路SLAは抵抗Rを介してゲートバイアス用パッドPVgに接続されている。ゲートバイアス用パッドPVgには、ゲートバイアス用電源Vgおよび電源電圧を安定化するためのキャパシタCgが接続される。

【0055】基板20上の出力パッドPOは2つの $\lambda/8$ 線路SL4を介して2つのノードN2に接続されている。各ノードN2は2つの $\lambda/8$ 線路SL2を介して2つのノードNBに接続されている。各ノードNBはインダクタLBを介して接地されるとともに、キャパシタCBを介してノードNbに接続されている。各ノードNb

はボンディングワイヤを介してFET1のドレインに接続される。また、4つのノードNbは第2の線路SLBを介して相互に接続されている。

【0056】第2の線路SLBは $\lambda/4$ 線路SL0を介してドレインバイアス用パッドPVdに接続されている。ドレインバイアス用パッドPVdには、ドレインバイアス用電源Vdが接続されるとともに $\lambda/4$ 線路SL0の終端および電源電圧の安定化のためのキャパシタCdが接続される。

【0057】基板10上の $\lambda/8$ 線路SL3, SL1が分配器11を構成し、基板10上のインダクタLAおよびキャパシタCAが整合回路12を構成する。基板20上のキャパシタCBおよびインダクタLBが整合回路21を構成し、基板20上の $\lambda/8$ 線路SL2, SL4が合成器22を構成する。

【0058】図2に示すように、本実施例の電力増幅器においては、基板10上の一方の側部に第1の線路SLAが形成され、基板20上の一方の側部に第2の線路SLBが形成されている。各FET1のゲートはボンディングワイヤにより第1の線路SLAに接続されている。また、各FET1のドレインはボンディングワイヤにより第2の線路SLBに接続されている。なお、PGは接地パッドを示す。

【0059】第1の実施例の電力増幅器においては、入力パッドPIに与えられるRF信号が分配器11により分配されて4個のFET1のゲートに与えられ、各FET1により増幅されたRF信号がドレインから出力される。4個のFET1のドレインから出力されるRF信号は、合成器22により合成されて出力パッドPOから出力される。

【0060】整合回路12は分配器11と各FET1とのインピーダンス整合を行い、整合回路21は各FET1と合成器22とのインピーダンス整合を行う。

【0061】各FET1のゲートには、ゲートバイアス用電源Vgにより抵抗Rおよび第1の線路SLAを介してゲートバイアスが印加される。また、各FET1のドレインには、ドレインバイアス用電源Vdにより $\lambda/4$ 線路SL0および第2の線路SLBを介してドレインバイアスが印加される。それにより、各FET1のゲートに入力されるRF信号とゲートバイアスとが分離され、各FET1のドレインから出力されるRF信号と各FET1のドレインに印加されるドレインバイアスとが分離される。

【0062】このように、ドレインバイアスが合成器22および整合回路21を経由することなく各FET1のドレインに印加されるので、ドレイン電流による電圧降下が小さく、損失が小さくなる。

【0063】また、整合回路21の信号経路に直流電流が流れないので、整合回路21の信号経路にキャパシタCBを挿入することができる。この場合、信号経路に挿

入されたキャパシタCBと接地電位との間にインダクタLBを接続することにより整合回路21を構成することができる。

【0064】図3(a)は図21に示した従来の電力増幅器における整合回路51の構成を示す回路図であり、図3(b)は本実施例の電力増幅器における整合回路21の構成を示す回路図である。図3(a)に示すように、従来の電力増幅器の整合回路51では、信号経路に接続されるボンディングワイヤBWBがインピーダンス整合に用いられている。それに対して、図3(b)に示すように、本実施例の電力増幅器の整合回路21では、信号経路にキャパシタCBが挿入されている。

【0065】これにより、インピーダンス整合に各FET1のドレインと整合回路21との間に接続されるボンディングワイヤを利用する必要がなくなる。その結果、ボンディングワイヤの本数を任意に調整することが可能となり、過電流によるボンディングワイヤの断線を防止することができる。

【0066】また、整合回路21のインピーダンスを外付けのキャパシタCBの容量により調整することができるので、整合回路21の設計および調整が容易になる。

【0067】さらに、整合回路12の信号経路にも直流電流が流れないので、整合回路12の信号経路にキャパシタCAを挿入することができる。この場合、信号経路に挿入されたキャパシタCAと接地電位との間にインダクタLAを接続することにより整合回路12を構成することができる。

【0068】図4は本実施例の電力増幅器におけるFETのゲートに接続される容量を示す図である。図4に示すように、各FET1のゲートにキャパシタCAとゲート容量CGとが並列に接続されることになる。したがって、FET1のゲートから見た容量値が大きくなり、複数のFET1の容量値のばらつきが緩和される。その結果、FET1の低周波発振が防止される。

【0069】また、整合回路12のインピーダンスを外付けのキャパシタCAの容量により調整することができるので、整合回路12の設計および調整が容易になる。

【0070】図5は図1の電力増幅器におけるFET単体の入出力特性を示す図である。図5の横軸は入力電力であり、縦軸は出力電力である。この入出力特性は周波数1.9GHzのRF信号を入力した場合のシミュレーション結果である。

【0071】図5の特性は、本実施例の電力増幅器におけるFET1の単体の入出力特性が従来の電力増幅器におけるFET1の単体の入出力特性と同様であることを示す。

【0072】図6は図1の電力増幅器の入出力特性を従来の電力増幅器と比較して示す図である。図6の横軸は入力電力であり、縦軸は出力電力である。この入出力特性は周波数1.9GHzのRF信号を入力した場合のシ



ミュレーション結果である。

【0073】図6において、Aは本実施例の電力増幅器の入出力特性を示し、Bは従来の電力増幅器の入出力特性を示す。図6に示すように、本実施例の電力増幅器では、従来の電力増幅器に比べて入出力特性が向上し、効率が高くなっていることがわかる。

【0074】図7は本発明の第2の実施例における電力増幅器の構成を示す回路図である。また、図8は図7の電力増幅器のレイアウトパターンを示す図である。

【0075】図7の電力増幅器が図1の電力増幅器と異なるのは、第1の線路SLAおよび第2の線路SLBが基板10a、20a上に設けられずにチップキャリア30a上に設けられている点である。図7の電力増幅器の他の部分の構成は図1の電力増幅器の構成と同様である。

【0076】図8に示すように、チップキャリア30a上の一方の側部に第1の線路SLAが形成され、他方の側部に第2の線路SLBが形成され、中央部に接地導体GNDが形成されている。

【0077】図9は図8のチップキャリアの一部およびその周辺部の拡大図である。図9に示すように、FETチップCHの複数のゲート電極（図示せず）は、複数のボンディングワイヤW1によりチップキャリア30a上の第1の線路SLAに接続され、FETチップCHの複数のドレイン電極（図示せず）は、複数のボンディングワイヤW2によりチップキャリア30a上の第1の線路SLBに接続されている。第1の線路SLAは複数のボンディングワイヤW3により基板10a上の線路SLaに接続され、第2の線路SLBは複数のボンディングワイヤW4により基板20a上の線路SLbに接続されている。

【0078】第2の実施例の電力増幅器においては、チップキャリア30a上の第1の線路SLAを介して4個のFET1のゲートにゲートバイアスを印加することができ、第2の線路SLBを介して4個のFET1のドレインにドレインバイアスを印加することができる。

【0079】図10はチップキャリアの一例を示す平面図である。図10のチップキャリア30aにおいては、絶縁性基板2の表面の一方の側部にストライプ状の第1の線路SLAが形成され、他方の側部にストライプ状の第2の線路SLBが形成され、中央部に接地導体GNDが形成されている。接地導体GNDの領域における絶縁性基板2には複数のビアホール（貫通孔）3が設けられている。

【0080】このチップキャリア30a上にFETチップを実装する場合には、FETチップのソース電極を接地導体GNDに接合し、ゲート電極をボンディングワイヤにより第1の線路SLAに接続し、ドレイン電極をボンディングワイヤにより第2の線路SLBに接続する。

【0081】図11はチップキャリアの他の例を示す平

面図である。図11のチップキャリア30bにおいては、絶縁性基板2の表面の一方の側部に矩形の第1の線路SLAが形成され、他方の側部に矩形の第2の線路SLBが形成され、中央部および両端部の領域にH形の接地導体GNDが形成されている。接地導体GNDの領域における絶縁性基板2にはビアホール3が設けられている。

【0082】このチップキャリア30b上にFETチップを実装する場合には、FETチップのゲート電極、ドレイン電極およびソース電極にそれぞれパンプ（突起）を設け、FETチップの表面を下に向けてフリップチップ実装によりチップキャリア30b上に接合する。

【0083】上記の第2の実施例では、1つのチップキャリア30a上に4個のFET1のチップを取り付けているが、図12に示すように、2個のチップキャリア30cを用い、各チップキャリア30c上にそれぞれ2個のFET1のチップを取り付けてもよい。この場合には、2個のチップキャリア30cの第1の線路SLAどうしをボンディングワイヤW5により接続し、第2の線路SLBどうしをボンディングワイヤW6により接続する。

【0084】上記の第1および第2の実施例では、4個のFET1を用いた電力増幅器について説明したが、FETの数は上記の実施例に限定されず、他の任意の数のFETを用いてもよい。

【0085】図13は本発明の第3の実施例における電力増幅器の構成を示す回路図である。図13の電力増幅器では、2個のFET1が用いられている。

【0086】2個のFET1のチップはチップキャリア300上に取り付けられている。基板100上には、2つの $\lambda/4$ 線路SL5、抵抗R1、R、2個のインダクタLA、2個のキャパシタCAおよび第1の線路SLAが設けられている。基板200上には、2つの $\lambda/4$ 線路SL6、抵抗R2、2個のインダクタLB、2個のキャパシタCB、 $\lambda/4$ 線路SL0および第2の線路SLBが設けられている。

【0087】基板100上の入力パッドPIは2つの $\lambda/4$ 線路SL5を介して2つのノードNCに接続され、2つのノードNC間に抵抗R1が接続されている。各ノードNCはインダクタLAを介して接地されるとともに、キャパシタCAを介してノードNCに接続されている。各ノードNCはボンディングワイヤを介してFET1のゲートに接続される。2つのノードNC間は第1の線路SLAにより相互に接続されている。

【0088】第1の線路SLAは抵抗Rを介してゲートバイアス用パッドPVgに接続されている。ゲートバイアス用パッドPVgにはゲートバイアス用電源VgおよびキャパシタCgが接続される。

【0089】基板200上の出力パッドPOは2つの $\lambda/4$ 線路SL6を介して2つのノードNDに接続され、

2つのノードND間に抵抗R2が接続されている。各ノードNDはインダクタLBを介して接地されるとともに、キャパシタCBを介してノードNdに接続されている。各ノードNdはボンディングワイヤを介してFET1のドレインに接続される。2つのノードNd間は第2の線路SLBにより相互に接続されている。

【0090】第2の線路SLBは $\lambda/4$ 線路SL0を介してドレインバイアス用パッドPVdに接続されている。ドレインバイアス用パッドPVdにはドレインバイアス用電源VdおよびキャパシタCdが接続される。

【0091】基板100上の $\lambda/4$ 線路SL5および抵抗R1が分配器13を構成し、基板100上のインダクタLAおよびキャパシタCAが整合回路14を構成する。基板200上のキャパシタCBおよびインダクタLBが整合回路23を構成し、基板200上の抵抗R2および $\lambda/4$ 線路SL6が合成器24を構成する。

【0092】第3の実施例の電力増幅器においては、入力パッドPIに与えられるRF信号が分配器13により分配されて2個のFET1のゲートに与えられ、各FET1のゲートにより増幅されたRF信号がドレインから出力される。2個のFET1のドレインから出力されるRF信号は、合成器24により合成されて出力パッドPOから出力される。

【0093】整合回路14は分配器13と各FET1との間のインピーダンス整合を行い、整合回路23は各FET1と合成器24とのインピーダンス整合を行う。

【0094】各FET1のゲートには、ゲートバイアス用電源Vgにより抵抗Rおよび第1の線路SLAを介してゲートバイアスが印加される。各FET1のドレインにはドレインバイアス用電源Vdにより $\lambda/4$ 線路SL0および第2の線路SLBを介してドレインバイアスが印加される。それにより、各FET1のゲートに入力されるRF信号とゲートバイアスとが分離され、各FET1のドレインから出力されるRF信号と各FET1のドレインに印加されるドレインバイアスとが分離される。

【0095】このように、ドレインバイアスが合成器24および整合回路23を経由することなく各FET1のドレインに印加されるので、ドレイン電流による電圧降下が小さく、損失が小さくなる。

【0096】また、整合回路23に各FET1のドレインと整合回路23との間に接続されるボンディングワイヤを利用する必要がないので、ボンディングワイヤの本数を任意に調整することが可能となり、過電流によるボンディングワイヤの断線を防止することができる。

【0097】さらに、整合回路23のインピーダンスを外付けのキャパシタCBの容量により調整することができるので、整合回路23の設計および調整が容易になる。

【0098】一方、各FET1のゲートにキャパシタCAが接続されるので、FET1のゲートから見た容量値

が大きくなり、複数のFET1の容量値のばらつきが緩和される。その結果、FET1の低周波発振が防止される。また、整合回路14のインピーダンスを外付けのキャパシタCAの容量により調整することができるので、整合回路14の設計および調整が容易になる。

【0099】図14は本発明の第4の実施例における電力増幅器の構成を示す回路図である。

【0100】図14の電力増幅器は、2個のFET1、分配器11、整合回路12a、整合回路21aおよび合成器22を含む。2個のFET1のチップはチップキャリア上には取り付けられず、個々にパッケージに収納されている。図14の分配器11および合成器22の構成は、図1の分配器11および合成器22の構成とそれぞれ同様である。

【0101】整合回路12aは、複数のキャパシタCA、複数のインダクタLAおよび複数のキャパシタCCからなる。各キャパシタCAはノードNA、NA間に接続され、各インダクタLAはノードNAと接地電位との間に接続され、各キャパシタCCはノードNaと接地電位との間に接続されている。

【0102】各2つのノードNaが各1つのFET1に対応する。各1つのFET1に対応する各2つのノードNa間には2つの第1の線路SLaが直列に接続されている。これらの2つの第1の線路SLa間のノードNeはボンディングワイヤを介して対応するFET1のゲートに接続される。異なるFET1に対応する隣接する2つのノードNa間には第1の線路SLAが接続されている。

【0103】1つのノードNaは抵抗Rを介してゲートバイアス用パッドPVgに接続されている。ゲートバイアス用パッドPVgには、ゲートバイアス用電源Vgおよび電源電圧を安定化するためのキャパシタCgが接続される。

【0104】整合回路21aは、複数のキャパシタCB、複数のキャパシタCDおよび複数のインダクタLBからなる。各キャパシタCDはノードNb、NB間に接続され、各キャパシタCBはノードNbと接地電位との間に接続され、各インダクタLBはノードNBと接地電位との間に接続されている。

【0105】各2つのノードNbが各1つのFET1に対応する。各1つのFET1に対応する各2つのノードNb間には2つの第2の線路SLbが直列に接続されている。これらの2つの第2の線路SLb間のノードNfはボンディングワイヤを介して対応するFET1のドレインに接続される。異なるFET1に対応する隣接する2つのノードNb間には第2の線路SLBが接続されている。

【0106】1つのノードNbは $\lambda/4$ 線路SL0を介してドレインバイアス用パッドPVdに接続されている。ドレインバイアス用パッドPVdには、ドレインバ

イアス用電源 $V_d$ が接続されるとともに、 $\lambda/4$ 線路 $SL_0$ の終端および電源電圧の安定化のためのキャパシタ $C_d$ が接続される。

【0107】第4の実施例の電力増幅器においては、入力パッド $PI$ に与えられるRF信号が分配器11により分配されて第1の線路 $SL_a$ を介して2個のFET1のゲートに与えられ、各FET1により増幅されたRF信号がドレインから出力される。2個のFET1のドレインから出力されるRF信号は、第2の線路 $SL_b$ を介して合成器22に与えられ、合成器22により合成器されて出力パッド $PO$ から出力される。

【0108】整合回路12aは分配器11と各FET1とのインピーダンス整合を行い、整合回路21aは各FET1と合成器22とのインピーダンス整合を行う。

【0109】各FET1のゲートには、ゲートバイアス用電源 $V_g$ により抵抗 $R$ および第1の線路 $SL_a$ 、 $SL_A$ を介してゲートバイアスが印加される。また、各FET1のドレインには、ドレインバイアス用電源 $V_d$ により $\lambda/4$ 線路 $SL_0$ および第2の線路 $SL_b$ 、 $SL_B$ を介してドレインバイアスが印加される。それにより、各FET1のゲートに入力されるRF信号とゲートバイアスが分離され、各FET1のドレインから出力されるRF信号と各FET1のドレインに印加されるドレインバイアスとが分離される。

【0110】このように、ドレインバイアスが合成器22および整合回路21aを経由することなく各FET1のドレインに印加されるので、ドレイン電流による電圧降下が小さく、損失が小さくなる。

【0111】また、本実施例の電力増幅器においては、FET1のチップがチップキャリア上にマウントされずに個々にパッケージに封止されている。したがって、例えばほとんど同じ特性を有する2個のFET1を選定する場合に、FET1を評価し易い。

【0112】図15(a)は第1の実施例の電力増幅器における整合回路12の構成を示す回路図であり、図15(b)は本実施例の電力増幅器における整合回路12aの構成を示す回路図である。

【0113】図15(a)の整合回路は広域通過型(ハイパスタイプ)の整合回路であり、図15(b)の整合回路は帯域通過型(バンドパスタイプ)の整合回路である。図15(a)の整合回路は、上記のように発振が起こりやすい低周波の発振を抑える働きを有する。一方、図15(b)の整合回路は、低周波の発振を抑える働きに加え、高周波の発振も抑制し易いという利点を有する。

【0114】図15(a)の整合回路のインピーダンスは外付けのキャパシタ $CA$ の容量により調整することができる。一方、図15(b)の整合回路のインピーダンスは外付けのキャパシタ $CA$ 、 $CC$ の容量により調整することができる。

【0115】図15(a)の整合回路では、特定の周波数に対して同じ増幅器特性を得ることのできる回路定数は一意的に決まる。一方、図15(b)の整合回路では、特定の周波数に対して同じ増幅器特性を得ることのできる回路定数の組み合わせが複数種類存在する。そのため、設計の自由度が増す。

【0116】図16は図14の電力増幅器の小信号特性を示す図である。この小信号特性は $S_{21}$ 、 $S_{11}$ および $S_{22}$ の周波数特性のシミュレーション結果である。 $S_{21}$ は利得を表すSパラメータであり、 $S_{11}$ は入力反射係数を表すSパラメータであり、 $S_{22}$ は出力反射係数を表すSパラメータである。

【0117】また、図17は図14の電力増幅器の入出力特性および電力付加効率を示す図である。この入出力特性および電力付加効率は周波数1.9GHzのRF信号を入力した場合のシミュレーション結果である。

【0118】図16の小信号特性および図17の入出力特性および電力付加効率の測定条件としては、FET1のドレイン電圧が6.5V、ゲート電圧が-2.5V、アイドル電流(無信号状態の電流)は1.37Aである。

【0119】なお、電力付加効率は次式で表される。  
電力付加効率[%] = (出力電力 - 入力電力) / (ドレイン電圧 × ドレイン電流)

図16の小信号特性は、図14の電力増幅器が実用レベルにあることを示している。また、図17の入出力特性および電力付加効率も、図14の電力増幅器が実用レベルにあることを示している。

【0120】図18は本発明の第5の実施例における電力増幅器の構成を示す回路図である。図18の電力増幅器が図14の電力増幅器と異なるのは次の点である。

【0121】異なるFET1に対応する隣接する2つのノード $Na$ 間に2つの第1の線路 $SL_a$ が直列に接続されている。これらの2つの第1の線路 $SL_a$ 間のノード $NE$ は抵抗 $R$ を介してゲートバイアス用パッド $PV_g$ に接続されている。ゲートバイアス用パッド $PV_g$ には、ゲートバイアス用電源 $V_g$ および電源電圧を安定化するためのキャパシタ $C_g$ が接続されている。

【0122】異なるFET1に対応する隣接する2つのノード $Nb$ 間に2つの第2の線路 $SL_b$ が直列に接続されている。これらの2つの第2の線路 $SL_b$ 間のノード $NF$ は $\lambda/4$ 線路 $SL_0$ を介してドレインバイアス用パッド $PV_d$ に接続されている。ドレインバイアス用パッド $PV_d$ には、ドレインバイアス用電源 $V_d$ が接続されるとともに $\lambda/4$ 線路 $SL_0$ の終端および電源電圧の安定化のためのキャパシタ $C_d$ が接続されている。

【0123】本実施例の電力増幅器においては、2個のFET1のゲートへのゲートバイアスの供給経路が対称性を有するので、2個のFET1が等しいゲートバイアス印加条件で動作する。また、2個のFET1のドレイ

ンへのドレインバイアス供給経路が対称性を有するので、2個のFET1が等しいドレインバイアスの印加条件で動作する。したがって、電力増幅器の高周波特性が向上する。

【0124】図19は本発明の第6の実施例における電力増幅器の構成を示す回路図である。図19の電力増幅器が図14の電力増幅器と異なるのは次の点である。

【0125】図19の電力増幅器では、4個のFET1が用いられている。各2個のFET1が組を構成する。4個のFET1のチップはチップキャリア上にマウントされず、個々にパッケージに収納されている。

【0126】各ノードNaはボンディングワイヤを介して対応するFET1のゲートに接続される。各2つのノードNa間には2つの第1の線路SLaが直列に接続されている。これらの各2つの第1の線路SLa間のノードNeは抵抗R1を介してゲートバイアス用パッドPVgに接続されている。ゲートバイアス用パッドPVgには、ゲートバイアス用電源Vgおよび電源電圧を安定化するためのキャパシタCgが接続される。内側の2つのノードNa間には第1の線路SLAが接続されている。

【0127】各ノードNbはボンディングワイヤを介して対応するFET1のドレインに接続される。各2つのノードNb間には2つの第2の線路SLbが直列に接続されている。これらの各2つの第2の線路SLb間のノードNfは $\lambda/4$ 線路SL10を介してドレインバイアス用パッドPVdに接続されている。ドレインバイアス用パッドPVdには、ドレインバイアス用電源Vdが接続されるとともに $\lambda/4$ 線路SL10の終端および電源電圧の安定化のためのキャパシタCdが接続される。また、2つのノードNf間には抵抗R2が接続されている。

【0128】本実施例の電力増幅器においては、各組の2個のFET1のゲートへのゲートバイアスの供給経路が対称性を有し、かつ2組のFET1へのゲートバイアスの供給経路が対称性を有するので、4個のFET1が等しいゲートバイアス印加条件で動作する。また、各組の2個のFET1のドレインへのドレインバイアスの供給経路が対称性を有し、かつ2組のFET1へのドレインバイアスの供給経路が対称性を有するので、4個のFET1が等しいドレインバイアス印加条件で動作する。したがって、電力増幅器の高周波特性が向上する。

【0129】図20は対称性回路の例を示す図である。図20(a)に示す対称性回路は図19の電力増幅器におけるドレインバイアス印加回路に用いられている。図20(b)に示す対称性回路は図19の電力増幅器における合成器22に用いられている。

【0130】図20(c)に示す対称性回路は、1つの抵抗R3、2つのキャパシタCE、2つの線路SLEおよび1つのキャパシタCFからなる。各キャパシタCEはノードN5と接地電位との間に接続され、各線路SL

EはノードN5とノードN6との間に接続される。抵抗R3はノードN5間に接続され、キャパシタCFはノードN6と接地電位との間に接続される。

【0131】図20に示す対称性回路は、ゲートバイアス印加回路、ドレインバイアス印加回路等の給電回路、分配器、合成器等の種々の回路に用いることができる。それにより、電力増幅器が対称性を有することができる。

【0132】第5および第6の実施例の電力増幅器は、ゲートバイアスの供給経路およびドレインバイアスの供給経路の対称性により良好な高周波特性を有するので、12GHz以上の高い周波数領域で使用することができる。したがって、第5および第6の実施例の電力増幅器は、MMIC（モノリシックマイクロ波集積回路）やMIC（マイクロ波集積回路）に適用することができる。

【0133】本発明の電力増幅器は、移動体通信基地局、0~800MHzの広帯域のCATV（ケーブルテレビジョン）システム、Xバンド、Kuバンド、Cバンド等の周波数帯で用いるレーダ、マイクロ波通信、衛星通信システム、衛星放送等に応用することができる。

【0134】なお、本発明は、バイポーラトランジスタにより構成される電力増幅器にも適用することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例における電力増幅器の構成を示す回路図である。

【図2】図1の電力増幅器のレイアウトパターンを示す図である。

【図3】従来の電力増幅器における整合回路および図1の電力増幅器における整合回路の構成を示す回路図である。

【図4】図1の電力増幅器の各FETのゲートに接続される容量を示す図である。

【図5】図1の電力増幅器におけるFETの単体の入出力特性を示す図である。

【図6】図1の電力増幅器の入出力特性を従来の電力増幅器と比較して示す図である。

【図7】本発明の第2の実施例における電力増幅器の構成を示す回路図である。

【図8】図7の電力増幅器のレイアウトパターンを示す図である。

【図9】図8のチップキャリアの一部およびその周辺部の拡大図である。

【図10】チップキャリアの一例を示す平面図である。

【図11】チップキャリアの他の例を示す平面図である。

【図12】2個のチップキャリアを用いた場合の接続例を示す平面図である。

【図13】本発明の第3の実施例における電力増幅器の構成を示す回路図である。

【図14】本発明の第4の実施例における電力増幅器の構成を示す回路図である。

【図15】図1の電力増幅器における整合回路および図14の電力増幅器における整合回路の構成を示す回路図である。

【図16】図14の電力増幅器の小信号特性を示す図である。

【図17】図14の電力増幅器の入出力特性および電力付加効率を示す図である。

【図18】本発明の第5の実施例における電力増幅器の構成を示す回路図である。

【図19】本発明の第6の実施例における電力増幅器の構成を示す回路図である。

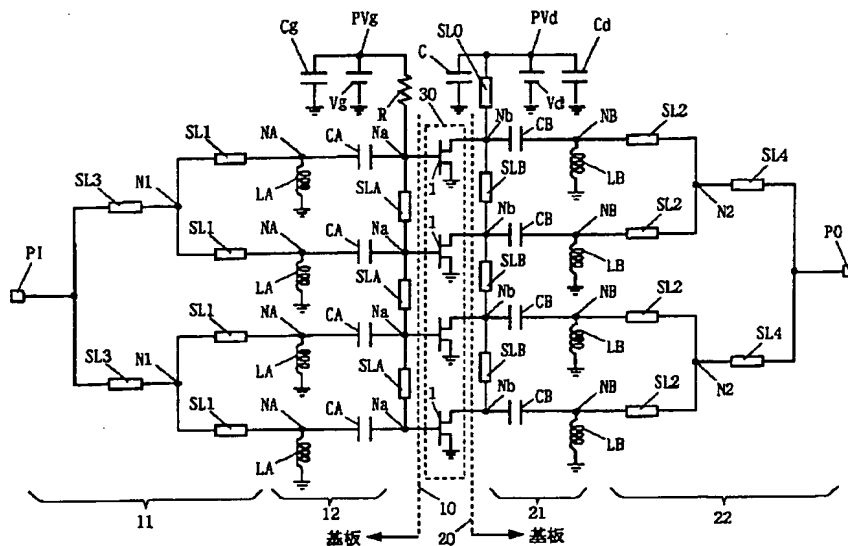
【図20】対称性回路の例を示す回路図である。

【図21】従来の電力増幅器の構成を示す回路図である。

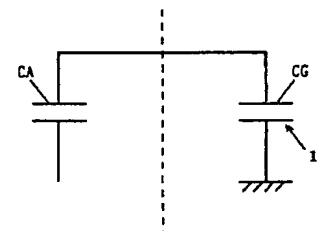
【符号の説明】

1 FET  
10, 10a, 20, 20a, 100, 200 基板  
30, 30a, 30b, 30c, 300 チップキャリア  
11, 13 分配器  
12, 12a, 14, 21, 21a, 23 整合回路  
22, 24 合成器  
LA, LB インダクタ  
CA, CB, CC, CD キャパシタ  
SLA, SLa 第1の線路  
SLB, SLb 第2の線路

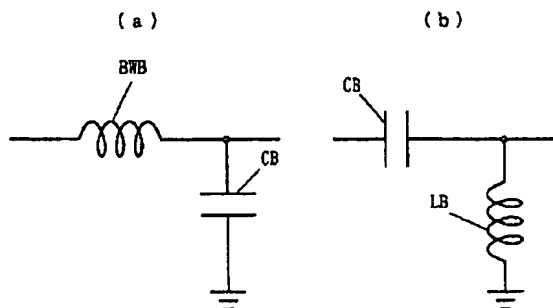
【図1】



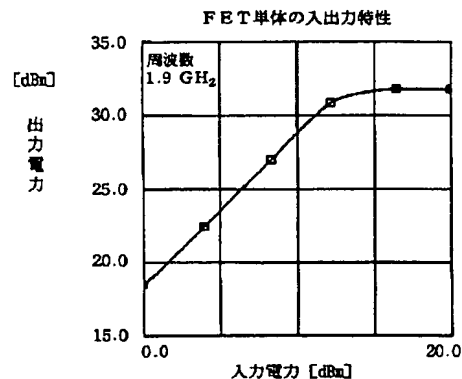
【図4】



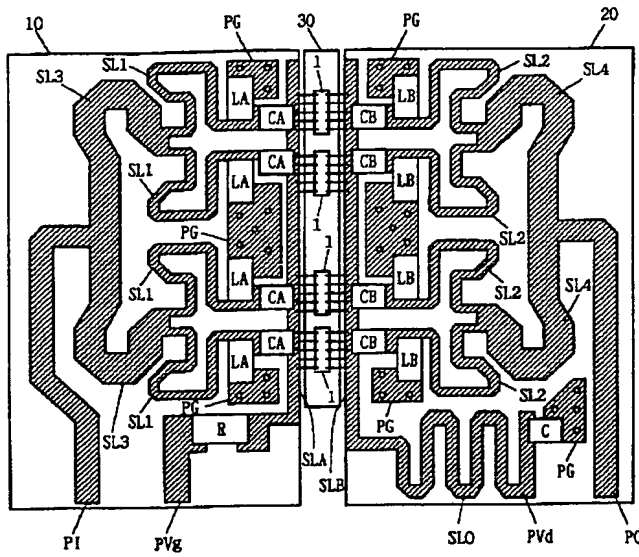
【図3】



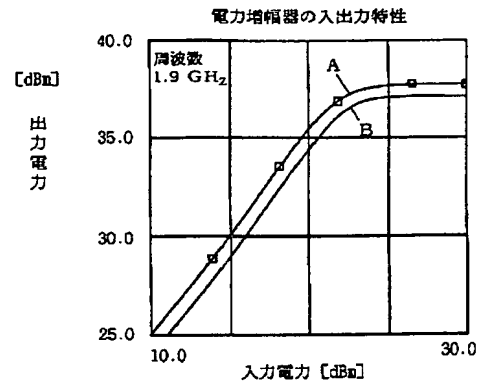
【図5】



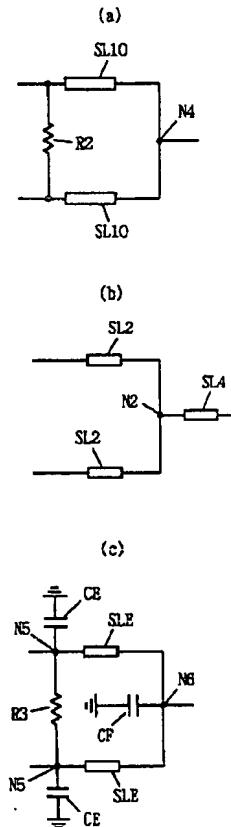
【図2】



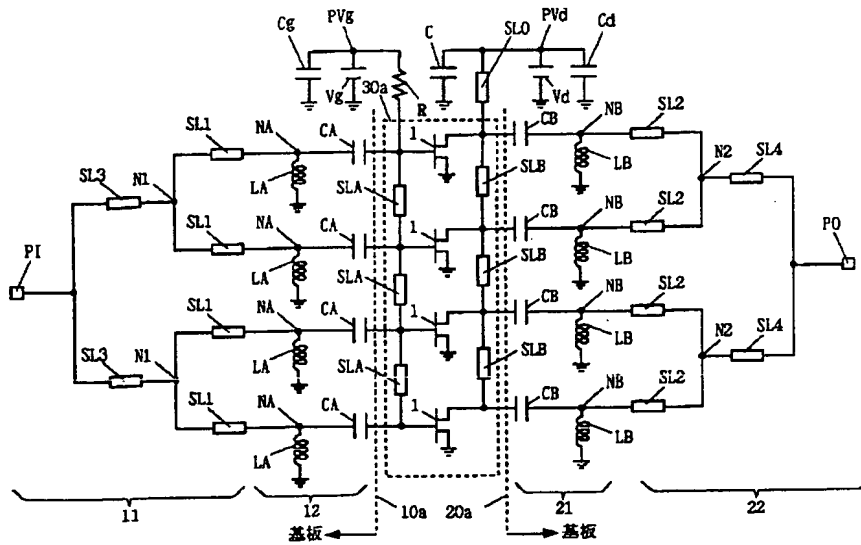
【図6】



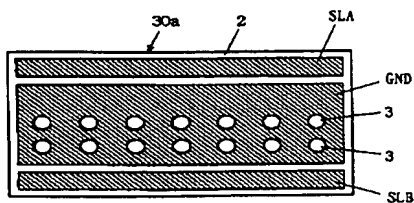
【図20】



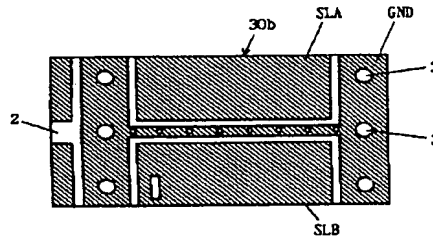
【図7】



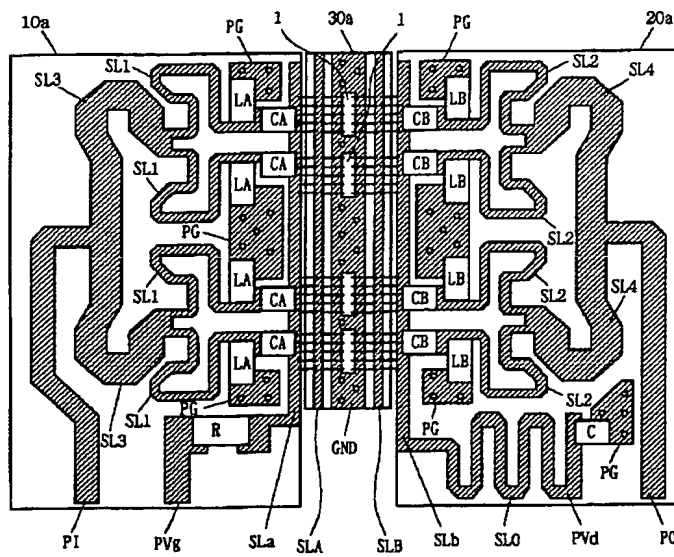
【図10】



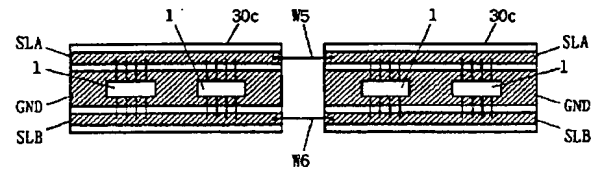
【図11】



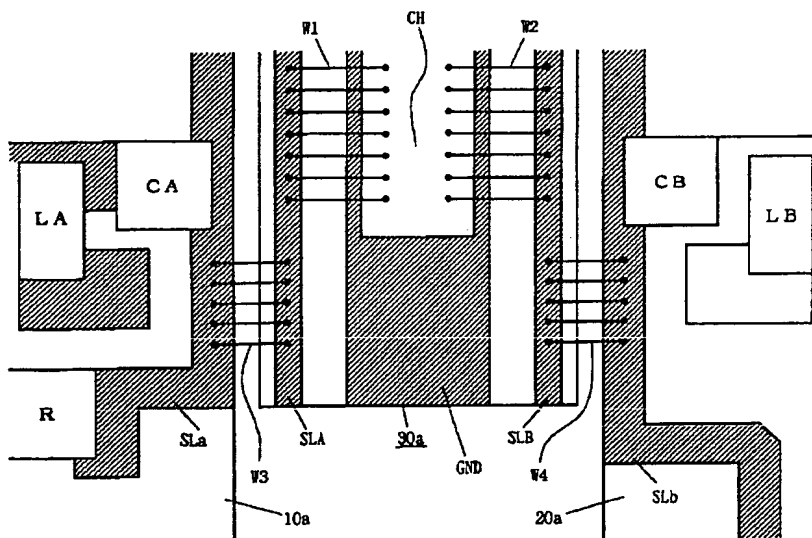
【図8】



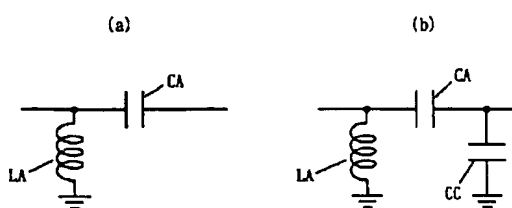
【図12】



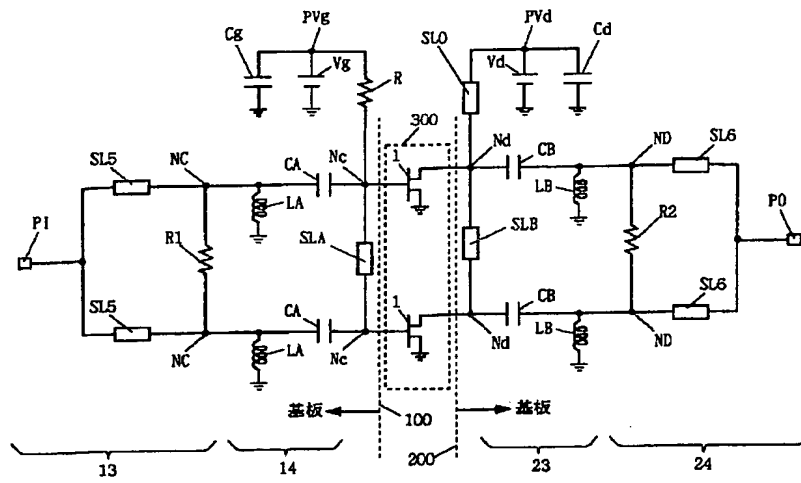
【図9】



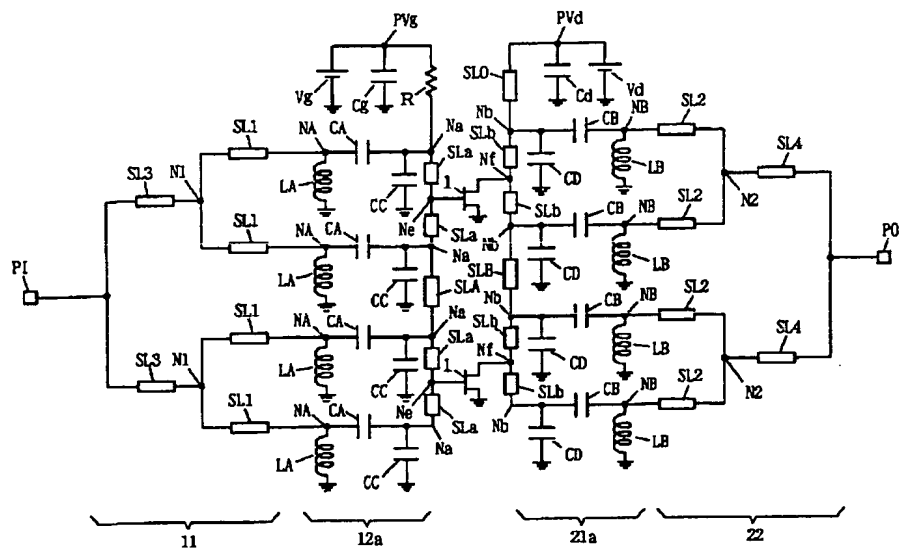
【図15】



【図13】

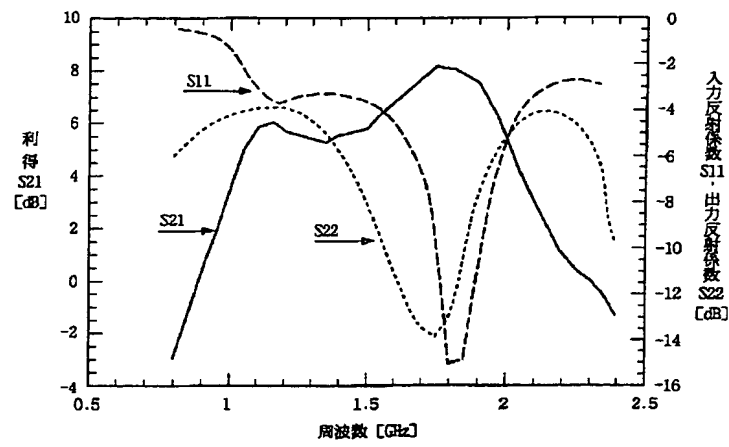


【図14】

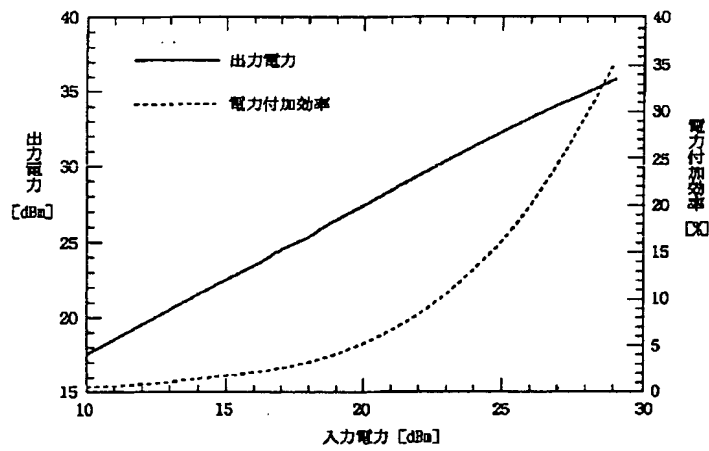




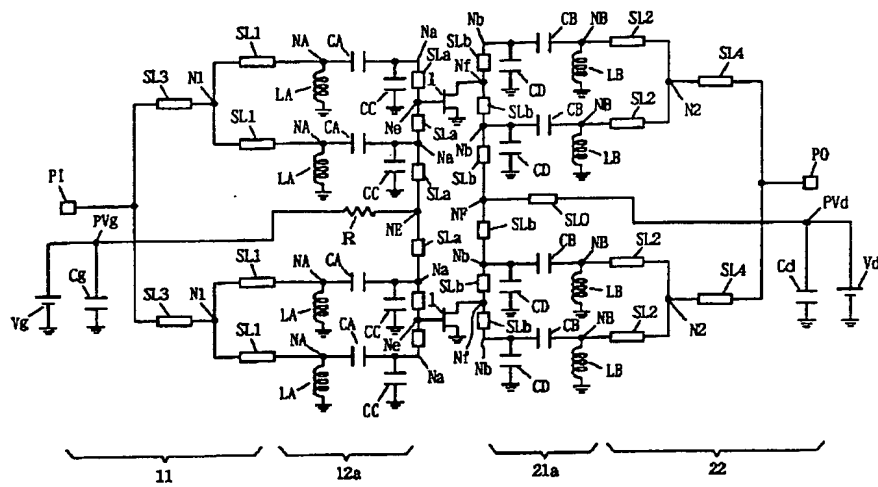
【図16】



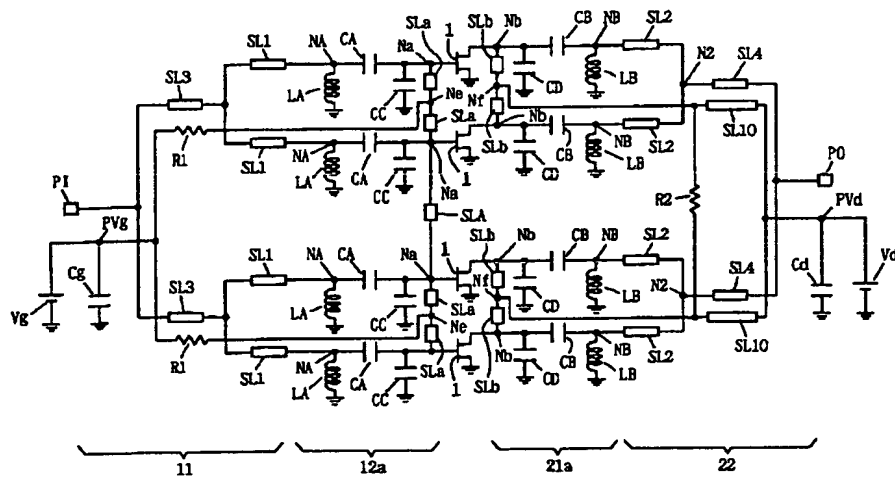
【図17】



【図18】



【図19】



【図21】

